

IFW

JENKINS
WILSON
& TAYLOR

patent attorneys

June 28, 2005



I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on June 28, 2005.

Gayle W. Chaney
Gayle W. Chaney
Date of Signature: 6/28/05

RICHARD E. JENKINS

JEFFREY L. WILSON

ARLES A. TAYLOR, JR.

GREGORY A. HUNT

E. ERIC MILLS

BENTLEY J. OLIVE

MICHAEL J. CROWLEY

*CHRIS PERKINS, PH.D.

**JAMES DALY IV, PH.D.

JEFFREY CHILDERS, PH.D.

THEODOSIOS THOMAS

OF COUNSEL
SOROJINI BISWAS

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Re: U.S. Patent Application Serial No. 10/692,150 for ✓
METHOD FOR PRODUCTION OF A METALLIC
OR METAL-CONTAINING LAYER
Our Ref. No. 1406/174

Sir:

Enclosed please find the following:

1. Transmittal of Certified Copy (1 page);
2. Certified Copy of DE 101 21 132.5; and
3. A return-receipt postcard to be returned to our offices with the U.S. Patent and Trademark filing stamp thereon.

Please contact our offices if there are any questions with this matter.

Although no fee is believed to be due, the Commissioner is hereby authorized to charge any fees associated with the filing of this correspondence to Deposit Account Number 50-0426.

Respectfully submitted,

JENKINS, WILSON & TAYLOR, P.A.

Richard E. Jenkins

Richard E. Jenkins
Registration No. 28,428
Customer No: 25297

REJ/gwc

Enclosures

tel 919.493.8000
fax 919.419.0383

Jenkins, Wilson & Taylor, P.A.
JenkinsWilsonTaylor.com

University Tower, Suite 1400 | 3100 Tower Boulevard | Durham, North Carolina 27707

Practitioner's Docket No. 1406/174



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: Hecht et al.

Group Art Unit: 1765

Serial No.: 10/692,150

Examiner: Dung Anh Le

Filed: October 21, 2003

Docket No.: 1406/174

Confirmation No.: 9155

For: METHOD FOR PRODUCTION OF A METALLIC OR METAL-CONTAINING LAYER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF CERTIFIED COPY

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country: DE

Application Number: 101 21 132.5

Filing Date: April 30, 2001

Date: June 28, 2005

Richard E. Jenkins
Registration No. 28,428
Customer No. 25297

CERTIFICATE OF MAILING (37 C.F.R. § 1.8(a))

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Date: June 28, 2005

Gayle W. Chaney

WARNING: "Facsimile transmissions are not permitted and if submitted will not be accorded a date of receipt" for "(4) Drawings submitted under §§ 1.81, 1.83 through 1.85, 1.152, 1.165, 1.174, 1.437 . . ." 37 C.F.R. § 1.6(d)(4).

BUNDESREPUBLIK DEUTSCHLAND



10,6 92,150

CERTIFIED COPY OF
PRIORITY DOCUMENT

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen:

101 21 132.5

Anmeldetag:

30. April 2001

Anmelder/Inhaber:

Infineon Technologies AG, 81669 München/DE

Bezeichnung:

Verfahren zum Erzeugen einer metallischen oder metallhaltigen Schicht unter Verwendung eines Präkursors auf einer silizium- oder germaniumhaltigen Schicht insbesondere eines elektronischen Bauelements

BEST AVAILABLE COPY

IPC:

H 01 L 21/3205

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 6. Juni 2005
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Beschreibung

Verfahren zum Erzeugen einer metallischen oder metallhaltigen Schicht unter Verwendung eines Präkursors auf einer silizium-
5 oder germaniumhaltigen Schicht insbesondere eines elektronischen Bauelements

Die Erfindung betrifft ein Verfahren zum Erzeugen einer metallischen oder metallhaltigen Schicht unter Verwendung eines
10 Präkursors auf einer silizium- oder germaniumhaltigen Schicht insbesondere eines elektronischen Bauelements.

Zum Abscheiden von Metallen auf silizium- oder germaniumhaltigen Substanzen werden häufig Präkursoren, vornehmlich
15 flourhaltige Präkursoren verwendet. Diese Abscheidetechnik ist hinlänglich bekannt. Nachteilig hierbei ist jedoch, dass manche der hierbei verwendeten Präkursoren, insbesondere die flourhaltigen Präkursoren mit der silizium- oder germaniumhaltigen Substrat- oder Waferoberfläche reagieren. Bei siliziumhaltigen Substraten entsteht bei Verwendung eines
20 flourhaltigen Präkursors z.B. flüchtiges SiF_4 . Das Substrat wird dabei angeätzt. Sowohl bei der Abscheidung der metallischen oder metallhaltigen Schicht oder Struktur als Metall-
elektrode für Gates oder Kondensatoren als auch bei der Abscheidung dieser Schicht für Kontaktlochfüllungen führt dies
25 zur Zerstörung der Struktur und damit des elektronischen Bauelements, welches unter Verwendung dieser Schichtstruktur gebildet werden soll.

30 Der Erfindung liegt damit das Problem zugrunde, ein Verfahren anzugeben, das die Erzeugung einer metallischen oder metallhaltigen Schicht unter Verwendung eines Präkursors ohne die eingangs genannten Nachteile ermöglicht.

35 Zur Lösung dieses Problems ist ein Verfahren der eingangs genannten Art vorgesehen, bei dem auf die silizium- oder germaniumhaltige Schicht vor der Verwendung des Präkursors eine

Zwischenschicht aufgebracht wird, die zumindest für die Elemente des Präkursors, die die silizium- oder germaniumhaltige Schicht ätzen würden, eine Diffusionsbarriere bildet und selbst gegenüber dem Präkursor ätzresistent ist.

5

Das vorliegende erfindungsgemäße Verfahren schlägt vorteilhaft eine der eigentlichen Schichterzeugung vorausgehende Oberflächenbehandlung der silizium- oder germaniumhaltigen Schichtoberfläche durch Aufbringen einer dünnen Zwischen-

10 schicht vor, die die Oberfläche der darunter liegenden Schicht gegen den Angriff der Präkursoren schützt und das Substrat zumindest in dem Bereich, wo der Präkursor angreifen kann, versiegelt. Erfindungsgemäß handelt es sich dabei um eine Schicht, die als Diffusionsbarriere für diejenige chemische Spezies des Präkursors wirkt, welche die Silizium- oder

15 Germaniumätzung verursacht. Weiterhin ist die verwendete Schicht gegenüber dem Angriff der Präkursoren ätzresistent, d.h., sie wird selbst nicht angeätzt. Nach dem Aufbringen dieser „Siegelschicht“ kann die eigentliche Schichterzeugung problemlos erfolgen, eine Beeinträchtigung der silizium- oder germaniumhaltigen Schicht, die unter der sehr dünnen Zwischen-

20 schicht liegt, ist ausgeschlossen. Für die Metallabscheidung können somit die zur Schichtabscheidung bereits bewährten Präkursoren verwendet werden, ohne dass eine Beeinflussung oder Zerstörung der zu erzeugenden Schichtstruktur oder des Bauelements zu besorgen ist. Weiterhin kann auf bekannte Abscheidetechniken und -tools zurückgegriffen werden, was die Herstellungskosten stark reduziert.

25

30 Das erfindungsgemäße Verfahren ermöglicht z.B. die Abscheidung von Metallelektroden auf dünnen Silizium oder Germanium enthaltenden Dielektrika unter Verwendung der Präkursoren. So kann z.B. auf Gate-Oxiden eine sehr dünne Zwischenschicht abgeschieden werden, um anschließend die Metallabscheidung vor-

35 zunehmen. Auf diese Weise können die guten Grenzflächeneigenschaften zwischen SiO_2 und dem Substrat bzw. der Bottom-Elektrode bei Verwendung von Metallelektroden beibehalten

werden, wenn als Schichtstruktur bzw. Bauelement z.B. eine Kondensatorstruktur hergestellt werden soll.

5 Eine andere zweckmäßige Einsatzmöglichkeit des erfindungsge-
mäßigen Verfahrens liegt in der Kontaktlochfüllung. Hier kann,
da zur Ermöglichung der Metallschichtabscheidung lediglich
die sehr dünne Zwischenschicht erforderlich ist, die Leitfä-
higkeit des Kontaktes zum darunter liegenden Material deut-
lich verbessert werden.

10

Um zu vermeiden, dass die Zwischenschicht in irgendeiner Form
die Funktionsweise der Schichtstruktur und damit des elektro-
nischen Bauelements beeinflusst ist es zweckmäßig, wenn sie
extrem dünn aufgebracht wird. Die Dicke der Zwischenschicht
15 sollte dabei lediglich wenige Atomlagen betragen. Die Dicke
sollte im nm-Bereich liegen. Besonders bevorzugt wird dabei
die Abscheidung der Zwischenschicht in einem ALD-Verfahren
(Atomic Layer Deposition). Mit diesem Verfahren abgeschiedene
Schichten garantieren eine sehr gute Schichtuniformität mit
20 extrem niedriger Defektdichte sowie eine exzellente Kantenab-
deckung, wobei diese Eigenschaften insbesondere für die Fül-
lung von Kontaktlöchern bzw. die Abscheidung von Metallelekt-
troden in Grabenkondensatoren wesentlich ist. Darüber hinaus
bietet die Abscheidung der Zwischenschicht in einem ALD-
25 Verfahren die Möglichkeit der exakten Schichtdickenkontrolle.

Als Zwischenschicht sollte zweckmäßigerweise ein Dielektrikum
verwendet werden, wofür sich z.B. Al-, Ta-, Hf-, Ti- oder Zr-
Oxide eignen. Weiterhin kann vorgesehen sein, dass eine tem-
peraturstabile Zwischenschicht verwendet wird, die gegenüber
30 nachfolgenden, entweder im Rahmen der Erzeugung der eigentli-
chen metallischen oder metallhaltigen Schicht oder danach
folgenden Temperaturschritten stabil bleibt. Dies ist insbe-
sondere zweckmäßig, wenn wie vorgesehen die Zwischenschicht
35 in einem ihrer Abscheidung nachfolgenden Hochtemperatur-
schritt stabilisiert wird.

Zweckmäßig ist es ferner, wenn eine Zwischenschicht verwendet wird, die eine Diffusion im Rahmen eines nachfolgenden, der Erzeugung der metallischen oder metallhaltigen Schicht dienenden Silizid-Prozesses ermöglicht. Im Rahmen dieses Prozesses erfolgt die Schichterzeugung durch Abscheidung einer Metallschicht auf der Zwischenschicht und einem anschließenden Diffusionsprozess zur Silizierung des abgeschiedenen Metalls, was hinreichend bekannt ist. Da die Diffusion der beteiligten Komponente(n) durch die Zwischenschicht erfolgt, muss diese zwangsläufig für die diffundierenden Komponenten diffusionsoffen sein.

Neben der Verwendung einer temperaturstabilen Schicht bietet sich auch die Verwendung einer temperaturinstabilen Schicht an, die sich in einem nachfolgenden, gegebenenfalls weiteren Temperaturschritt, insbesondere im Rahmen eines nachfolgenden, der Erzeugung der metallischen oder metallhaltigen Schicht dienenden Silizid-Prozesses zersetzt. Ist die Metallschicht unter Verwendung des Präkursors einmal aufgebracht, so wird die Zwischenschicht, der dann die Funktion einer Opferschicht zukommt, nicht unbedingt mehr benötigt. Schließt sich beispielsweise ein Silizid-Prozess an, so kann die extrem dünne Zwischenschicht innerhalb dieses Prozesses aufgebrochen werden und sich durch die auf ihr abgeschiedene Metallschicht ohne Beeinträchtigung der Funktion der Schichtstruktur verflüchtigen.

Neben dem erfindungsgemäßen Verfahren betrifft die Erfindung ferner ein elektronisches Bauelement, umfassend eine silizium- oder germaniumhaltige Schicht und eine nach dem erfindungsgemäßen beschriebenen Verfahren auf der silizium- germaniumhaltigen Schicht hergestellte metallische oder metallhaltige Schicht.

Das erfindungsgemäße Bauelement zeichnet sich des Weiteren dadurch aus, dass die Zwischenschicht eine Dicke von wenigen Atomlagen aufweist, also sehr dünn ist und zweckmäßigerweise

in einem ALD-Verfahren aufgebracht ist. Die Zwischenschicht sollte zweckmäßigerweise ein Dielektrikum bevorzugt aus einem Al-, Ta-, Hf-, Ti- oder Zr-Oxid sein und vorzugsweise in einem Temperaturschritt stabilisiert sein.

5

Schließlich kann vorgesehen sein, dass sich die metallische oder metallhaltige Schicht oberhalb, unterhalb oder beiderseits der Zwischenschicht befindet. Die beiderseitige Schichtausbildung kann insbesondere im Rahmen eines Silizid-Prozesses aufgrund der hierbei gegebenen Diffusionsvorgänge erfolgen.

10

Weitere Vorteile, Merkmale und Einzelheiten der Erfindung ergeben sich aus den im folgenden beschriebenen Ausführungsbeispielen sowie anhand der Zeichnungen. Dabei zeigen:

15

Fig. 1 einen ersten erfindungsgemäßen Schichtaufbau zur Bildung einer Transistorstruktur,

20

Fig. 2 einen zweiten erfindungsgemäßen Schichtaufbau zur Bildung einer Kondensatorstruktur,

Fig. 3 eine Prinzipskizze zur Darstellung der Herstellung einer Kontaktlochstruktur einer ersten Ausführungsform,

Fig. 4. eine Prinzipskizze zur Darstellung der Herstellung einer Kontaktlochstruktur einer zweiten Ausführungsform, und

30

Figuren 5a, 5b, 5c Prinzipskizzen zur Darstellung einer Deep-Trench-Bottomelektrode durch Silizid-Bildung.

35

Fig. 1 zeigt einen Ausschnitt eines erfindungsgemäßen Bauelements 1 einer ersten Ausführungsform als Prinzipskizze. Bei diesem Ausführungsbeispiel soll eine Transistorstruktur mit einem Gate-Dielektrikum und Metallelektrode realisiert werden. Hierzu wird auf einem Substrat 2, z.B. Bulk-Si in einem standardmäßigen CMOS-Prozess ein Gate-Dielektrikum 3 erzeugt. Z.B. kann das Substrat zur Bildung von SiO_2 oxidiert oder ein Silikat abgeschieden werden, das dann das Gate-Dielektrikum 3 bildet. Anschließend wird vorzugsweise in einem ALD-Prozess eine Zwischenschicht 4 auf das Gate-Dielektrikum aufgebracht. Die Zwischenschicht 4 ist z.B. aus Al_2O_3 und ist zweckmäßigerweise lediglich wenige Monolagen dick, da die Abscheidung in einem ALD-Prozess sehr defektarm durchgeführt und die Dicke sehr gut kontrolliert werden kann. Nachfolgend kann die Zwischenschicht 4 in einem Hochtemperaturschritt stabilisiert werden.

Nun folgt die Abscheidung der Gate-Elektrode 5 auf der Zwischenschicht 4. Beispielsweise kann es sich bei der Gate-Elektrode um ein wolframhaltiges Gate handeln, wobei WF_6 als Präkursor benutzt werden kann. Der WF_6 -Präkursor kann deshalb verwendet werden, da die Zwischenschicht 4 das darunter liegende siliziumhaltige Gate-Dielektrikum 3 „versiegelt“. Die Zwischenschicht ist gegen die Flour-Ionen des WF_6 -Präkursors diffusionsdicht. Würde der WF_6 -Präkursor direkt auf das Gate-Dielektrikum 3 aufgebracht, so würde ein Ätzangriff unter Bildung von SiF_4 erfolgen und das Gate-Dielektrikum 3 angeätzt werden. Dies wird durch die sehr dünne und defektarme Zwischenschicht 4 vorteilhaft verhindert, so dass derartige aggressive Präkursoren eingesetzt werden können. Daneben ist die Zwischenschicht 4 selbst gegenüber dem verwendeten Präkursor ätzresistent, d.h., sie wird selbst ebenfalls nicht angegriffen.

Als Gate-Elektrode 5 kann entweder W oder WN oder WSi_x unter Verwendung des Präkursors aufgebracht werden. Der nachfolgende CMOS-Prozess kann standardmäßig durchgeführt werden.

Fig. 2 zeigt ein weiteres Ausführungsbeispiel eines erfindungsgemäßen elektronischen Bauelements 6. Hierbei handelt es sich um eine Kondensatorstruktur, wie sie z.B. in einem Speicherkondensator eines DRAM eingesetzt wird. Die Schichtstruktur bzw. das Bauelement 6 besteht aus einer Bottom-Elektrode 7, die entweder durch starkes Dotieren eines Substrats (z.B. Bulk-Si) gebildet wird, oder die durch zusätzliches Abscheiden von Metall geformt wird. Auf die Bottom-Elektrode 7 wird eine mehrlagige Schichtstruktur 8 zur Bildung eines Node-Dielektrikums aufgebracht. Dieses Dielektrikum besteht im gezeigten Ausführungsbeispiel aus einer Si_3N_4 -Schicht 9 und einer auf dieser aufgetragenen SiO_2 -Schicht 10. Auf die Schicht 10 wird anschließend die Zwischenschicht 11, auch hier z.B. aus Al_2O_3 in Form weniger Monolagen aufgebracht. Die Schichten 9, 10, 11 bilden zusammen das Node-Dielektrikum. Auch hier erfolgt die Abscheidung der Schicht 11 bevorzugt in einem ALD-Prozess. Anschließend erfolgt die Abscheidung der oberen Metallschicht in Form der Metallelektrode 12, bei der es sich z.B. um eine wolframhaltige Elektrode, die unter Verwendung von WF_6 als Präkursor hergestellt wurde, handeln kann. Auch hier wird ein Angriff des aggressiven WF_6 -Präkursors an der SiO_2 -Schicht 10 durch Verwendung der extrem dünnen ätzresistenten Zwischenschicht 11 verhindert. Diese kann auch hier optional durch einen vorhergehenden Hochtemperaturschritt stabilisiert worden sein. Die weitere Integration folgt nach dem bekannten Standardprozess.

Fig. 3 zeigt in Form einer Prinzipskizze ein weiteres Ausführungsbeispiel zur Herstellung einer Kontaktlochstruktur eines Bauelements 13. Auf einem Substrat 14, bevorzugt aus Si wird zunächst eine Oxidschicht 15 erzeugt, in die anschließend Kontaktlöcher 16 geätzt werden. In die Kontaktlöcher 16 wird nachfolgend eine Zwischenschicht 17 sehr geringer Dicke (auch hier wiederum nur wenige Atomlagen) in einem ALD-Prozess abgeschieden. Der ALD-Prozess ist hier insbesondere im Hinblick auf die extrem gute Kantenabdeckung der damit erzeugten Zwi-

schenschicht 17 zweckmäßig. Nach Erzeugung der Zwischen-
schicht 17 werden die Kontaktlöcher 16 mit metallhaltigem Ma-
terial 18 gefüllt, z.B. mit WN mit WF_6 als Präkursor, das
mittels eines CVD-Verfahren abgeschieden wird. Es ergibt sich
5 also auch hier der erfindungsgemäße Schichtaufbau mit der
sehr dünnen, ätzresistenten Zwischenschicht 17. Auch hier er-
folgt weder ein Angriff der SiO_2 -Schicht 15 noch des darunter
liegenden siliziumhaltigen Substrats 14 durch den Präkursor,
da dies durch die Zwischenschicht 17 verhindert wird. Ein
10 weiterer Vorteil der mit dem ALD-Verfahren aufgetragenen sehr
dünnen Zwischenschicht 17 ist darin zu sehen, dass wie ausge-
führt die Schicht 17 extrem dünn abgeschieden werden kann,
was für die Leitfähigkeit des Kontaktes vorteilhaft ist.

15 Nach dem Einbringen des WN-Materials 18 kann in einem nach-
folgenden Anneal-Schritt der Stickstoff der WN-Schicht 18
ausgegast werden, so dass das Kontaktloch letztendlich mit
weitgehend stickstofffreiem W gefüllt ist.

20 Fig. 4 zeigt eine weitere Ausführungsform eines Bauelements
19, das ebenfalls eine Kontaktlochstruktur zeigt und wie auch
das Bauelement 13 aus Fig. 3 aus einem zweckmäßigerweise si-
liziumhaltigen Substrat 20 sowie einer aufgetragenen silizi-
umhaltigen Oxidschicht 21 besteht. Nach dem Ätzen der Kon-
25 taktlöcher 22 wird auch hier eine Zwischenschicht 23, vor-
zugsweise Al_2O_3 in einem ALD-Prozess aufgebracht. Anschlie-
ßend wird das Kontaktloch zunächst mit einer sehr dünnen WN-
Schicht 24 unter Verwendung eines WF_6 -Präkursors auf der Zwi-
schenschicht 23 abgeschieden, die als Diffusionsbarriere
30 dient, wonach das Kontaktloch mit einer dicken Wolfram-
Schicht 25 gefüllt wird. Auch ein solcher Schichtaufbau ist
nur aufgrund der Verwendung der extrem dünnen Zwischenschicht
23 möglich.

35 Schließlich zeigen die Figuren 5a, 5b und 5c ein weiteres er-
findungsgemäßes Ausführungsbeispiel eines Bauelements 26. Die
Figuren beschreiben die Einführung einer Opferschicht bei der

Silizid-Bildung einer Deep-Trench-Bottom-Elektrode des Bauelements 26. In ein vorzugsweise siliziumhaltiges Substrat 27 (gleichermaßen kann auch ein germaniumhaltiges Substrat verwendet werden, was bezüglich der vorbeschriebenen Ausführungsbeispiele gleichermaßen gilt) werden zunächst Gräben 28 geätzt, die anschließend mit einer sehr dünnen, wenige Monolagen dicken Zwischenschicht 29 wandseitig belegt werden. Bei der Zwischenschicht 29 kann es sich hier z.B. um Ta_2O_5 handeln.

Auf die Zwischenschicht 29 wird nachfolgend eine metallische Schicht 30, z.B. aus Wolfram abgeschieden. Auch hier verhindert die Zwischenschicht bei der nachfolgenden Abscheidung einer Metallschicht die Reaktion der verwendeten Präkursoren mit dem Substrat 27. In einem nachfolgenden Silizid-Prozess findet nun eine gleichzeitige Diffusion des Wolframs und des Siliziums durch die Zwischenschicht 29 statt, was - siehe Fig. 5a - dazu führt, dass sich auf beiden Seiten der Zwischenschicht 29 eine WSi_x -Schicht 31 diffusionsbedingt ausbildet. Anschließend kann, wie in Fig. 5c gezeigt, durch selektive Ätzung die obere Silizidschicht 31 abgeätzt werden, wobei in diesem Ätzprozess auch zusätzlich die Zwischenschicht 29 mit entfernt werden kann, so dass letztlich lediglich noch die ausgehend von Fig. 5b unterhalb der Zwischenschicht 29 befindliche Silizid-Schicht 31 verbleibt. Damit wird die Dicke der die Elektrode bildenden Metallschicht deutlich reduziert und der Durchmesser des Grabens wieder vergrößert. Anschließend erfolgt die Abscheidung des Node-Dielektrikums sowie der oberen Top-Elektrode und die weitere standardmäßige Integration.

Anstelle der in den Figuren 5a - 5c gezeigten Ausführungsform ist es auch denkbar, anstatt einer temperaturstabilen Zwischenschicht eine temperaturinstabile Schicht zu wählen, die sich im Rahmen des Silizid-Prozesses zersetzt und dabei aufgebrochen wird und die sich durch die zuvor aufgebraachte Metallschicht verflüchtigt. Ein der Silizidbildung anschließen-

der Ätzprozess dient schließlich lediglich noch zur Reduzierung der Silizidschicht.

Als Substrat, auf welches die Zwischenschicht und schließlich die metallhaltige und metallische Schicht aufzubringen ist, können alle silizium- oder germaniumhaltigen Schichten sowie deren Oxide, Nitride oder Carbide sowie Metallsilizide oder Metallsilikate, die jeweils ebenfalls Si-haltig sind, verwendet werden. Als die Zwischenschicht bildende Dielektrika können z.B. Al_2O_3 , Ta_2O_5 , HfO_2 , TiO_2 oder ZrO_2 in diversen Stöchiometrien eingesetzt werden. Als Metalle sind alle hochschmelzenden Metalle sowie deren Nitride und Silizide wie W, Ti, Ta, Pd, Pt, V, Cr, Zr, Nb, Mo, Hf, Co, Ni, Rh, RhO, Ir sowie andere Metalle wie Al, Cu, Ag, Fe verwendbar. Je nachdem, welches Metall oder welche metallische Schicht aufzubringen ist, wird der entsprechende Präkursor gewählt. Abhängig davon ist dann zweckmäßigerweise auch das jeweilige die Zwischenschicht bildende Dielektrikum hinsichtlich seiner diffusionssperrenden und ätzresistenten Eigenschaften zu wählen.

Patentansprüche

1. Verfahren zum Erzeugen einer metallischen oder metallhaltigen Schicht unter Verwendung eines Präkursors auf einer silizium- oder germaniumhaltigen Schicht insbesondere eines elektronischen Bauelements, bei dem auf die silizium- oder germaniumhaltige Schicht vor der Verwendung des Präkursors eine Zwischenschicht aufgebracht wird, die zumindest für die Elemente des Präkursors, die die silizium- oder germaniumhaltige Schicht ätzen würden, eine Diffusionsbarriere bildet und selbst gegenüber dem Präkursor ätzresistent ist.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Zwischenschicht in einer Dicke von wenigen Atomlagen aufgebracht wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Zwischenschicht in einem ALD-Verfahren aufgebracht wird.
4. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass als Zwischenschicht ein Dielektrikum verwendet wird.
5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass als Dielektrikum ein Al-, Ta-, Hf-, Ti- oder Zr-Oxid verwendet wird.
6. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass eine temperturstabile Zwischenschicht verwendet wird.
7. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Zwischenschicht in einem Temperaturschritt stabilisiert wird.

8. Verfahren nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet, dass eine
Zwischenschicht verwendet wird, die eine Diffusion im Rahmen
5 eines nachfolgenden, der Erzeugung der metallischen oder me-
tallhaltigen Schicht dienenden Silizid-Prozesses ermöglicht.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass nach Durchführung des Sili-
10 zid-Prozesses die oberhalb der Zwischenschicht liegende me-
tallische oder metallhaltige Schicht und gegebenenfalls auch
die Zwischenschicht insbesondere durch zur Zwischenschicht
selektives Ätzen entfernt wird.

10. Verfahren nach einem der Ansprüche 1 bis 5, da-
15 durch gekennzeichnet, dass eine
temperaturinstabile Schicht verwendet wird, die sich in einem
nachfolgenden, gegebenenfalls weiteren Temperaturschritt,
insbesondere im Rahmen eines nachfolgenden, der Erzeugung der
20 metallischen oder metallhaltigen Schicht dienenden Silizid-
Prozesses zersetzt.

11. Elektronisches Bauelement umfassend eine silizium- oder
germaniumhaltige Schicht und eine nach dem Verfahren nach ei-
nem der Ansprüche 1 bis 10 auf der silizium- oder germanium-
25 haltigen Schicht (3, 10, 14, 15, 20, 21, 27) hergestellte me-
tallische oder metallhaltige Schicht (5, 12, 18, 24, 30).

12. Elektronisches Bauelement nach Anspruch 11, da-
30 durch gekennzeichnet, dass die Zwi-
schenschicht (4, 11, 17, 23, 29) eine Dicke von wenigen Atom-
lagen aufweist.

13. Elektronisches Bauelement nach Anspruch 11 oder 12,
35 dadurch gekennzeichnet, dass die

Zwischenschicht (4, 11, 17, 23, 29) in einem ALD-Verfahren aufgebracht ist.

14. Elektronisches Bauelement nach einem der Ansprüche 11
5 bis 13, d a d u r c h g e k e n n z e i c h n e t ,
dass die Zwischenschicht (4, 11, 17, 23, 29) ein Dielektrikum ist.

15. Elektronisches Bauelement nach Anspruch 14, d a -
10 d u r c h g e k e n n z e i c h n e t , dass das Dielektrikum ein Al-, Ta-, Hf-, Ti- oder Zr-Oxid ist.

16. Elektronisches Bauelement nach einem der Ansprüche 11
bis 15, d a d u r c h g e k e n n z e i c h n e t ,
15 dass die Zwischenschicht (4, 11, 17, 23, 29) durch einen Temperaturschritt stabilisiert ist.

17. Elektronisches Bauelement nach einem der Ansprüche 11
bis 16, d a d u r c h g e k e n n z e i c h n e t ,
20 dass sich die metallische oder metallhaltige Schicht oberhalb, unterhalb oder beiderseits der Zwischenschicht (4, 11, 17, 23, 29) befindet.

Zusammenfassung

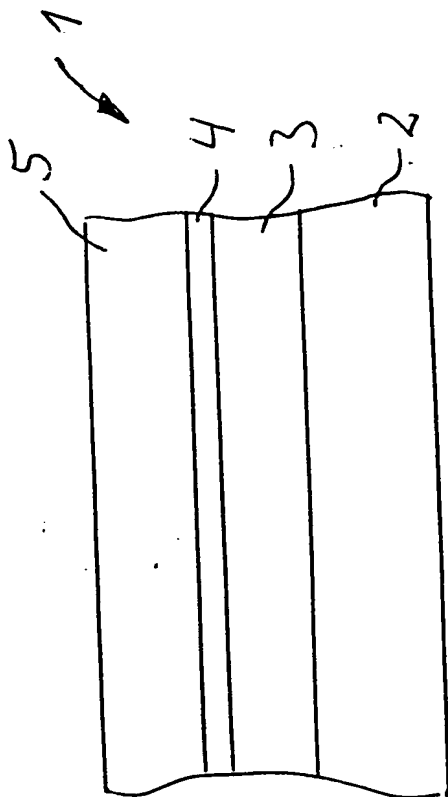
Verfahren zum Erzeugen einer metallischen oder metallhaltigen Schicht unter Verwendung eines Präkursors auf einer silizium- oder germaniumhaltigen Schicht insbesondere eines elektronischen Bauelements

Verfahren zum Erzeugen einer metallischen oder metallhaltigen Schicht unter Verwendung eines Präkursors auf einer silizium- oder germaniumhaltigen Schicht insbesondere eines elektronischen Bauelements, bei dem auf die silizium- oder germaniumhaltige Schicht vor der Verwendung des Präkursors eine Zwischenschicht aufgebracht wird, die zumindest für die Elemente des Präkursors, die die silizium- oder germaniumhaltige Schicht ätzen würden, eine Diffusionsbarriere bildet und selbst gegenüber dem Präkursor ätzresistent ist.

FIG 1

BEST AVAILABLE COPY

Fig. 1



1/2

BEST AVAILABLE COPY

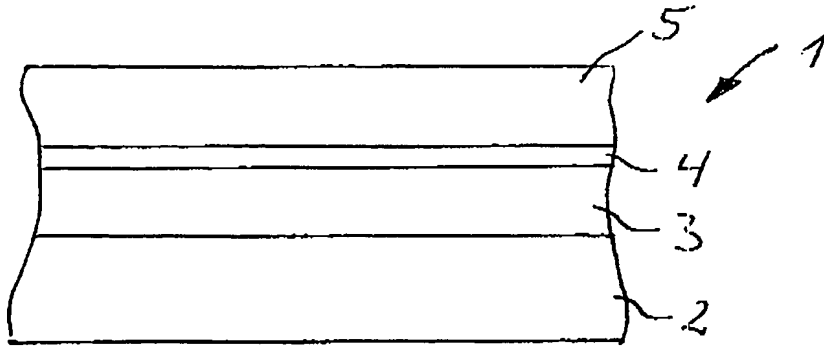


Fig. 1

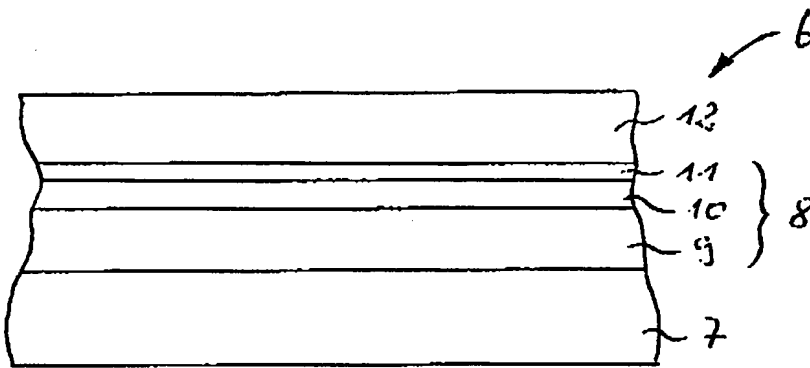


Fig. 2

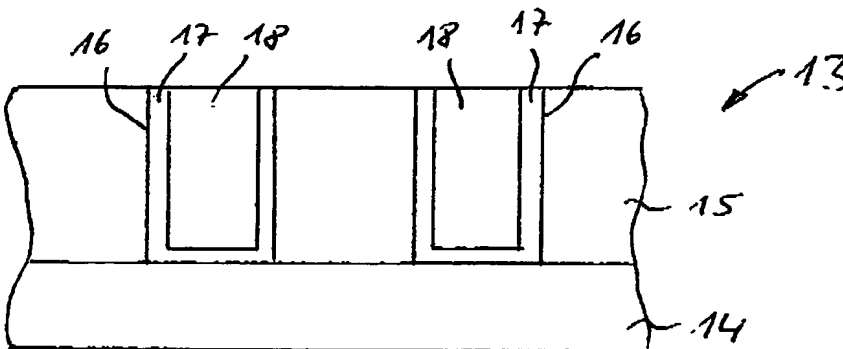


Fig. 3

BEST AVAILABLE COPY

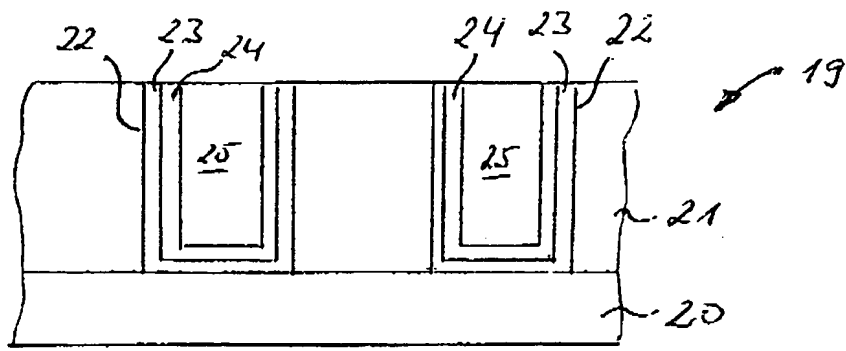


Fig. 4

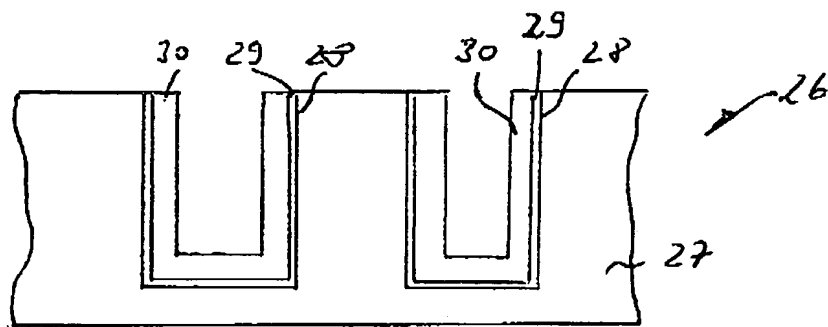


Fig. 5a

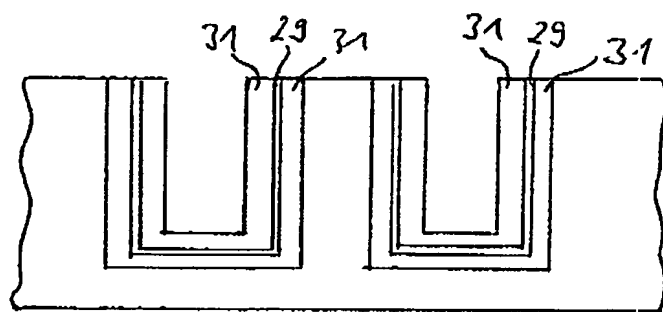


Fig. 5b

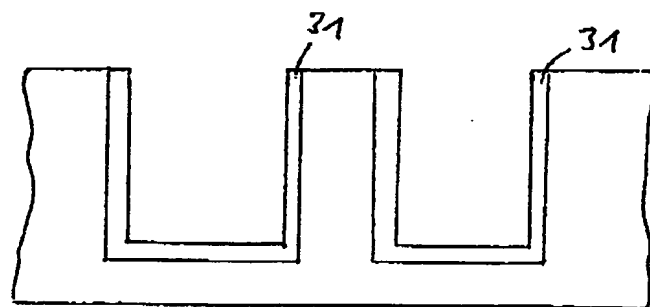


Fig. 5c